

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11121705 A**

(43) Date of publication of application: **30 . 04 . 99**

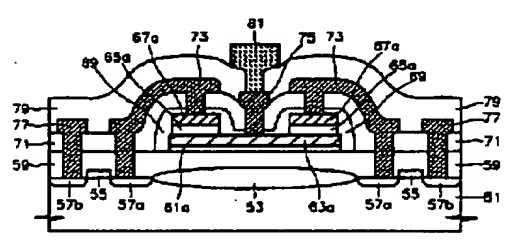
<p>(51) Int. Cl</p> <p><b>H01L 27/10</b>  <b>G11C 11/22</b>  <b>H01L 27/04</b>  <b>H01L 21/822</b>  <b>H01L 27/108</b>  <b>H01L 21/8242</b></p>	
<p>(21) Application number: <b>10189146</b></p> <p>(22) Date of filing: <b>03 . 07 . 98</b></p> <p>(30) Priority: <b>07 . 10 . 97 KR 97 9751449</b></p>	<p>(71) Applicant: <b>SAMSUNG ELECTRON CO LTD</b></p> <p>(72) Inventor: <b>RI CHINU</b>  <b>KO YUSHO</b>  <b>RI BIKO</b></p>

**(54) FERRODIELECTRIC RAM DEVICE AND MANUFACTURE THEREOF**

**(57) Abstract**

**PROBLEM TO BE SOLVED:** To provide an FRAM device which is advantageous to integration, and to provide a method manufacturing the FRAM device.

**SOLUTION:** This FRAM device comprises a plurality of unit cells arranged in row and column directions, the above-mentioned column direction is made to correspond to a bit line. The unit cells are composed of the drain region 576 coupled to the above-mentioned bit line, a transistor including the gate electrode 55 coupled to the above-mentioned word line and the ferroelectric capacitor comprising the upper plate electrode 67a, coupled to the source region 57a of the transistor, a ferroelectric film 65a and a lower plate electrode 63a. The lower plate electrode 63a is used in common to the lower plate electrode 63a of the adjacent unit cell, and the lower plate electrode 63a of the adjacent unit cell is coupled to the plate line in row direction.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121705

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl. <sup>4</sup>	識別記号	F I
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10 4 5 1
G 1 1 C 11/22		G 1 1 C 11/22
H 0 1 L 27/04		H 0 1 L 27/04 C
21/822		27/10 6 5 1
27/108		

審査請求 未請求 請求項の数20 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平10-189146

(22) 出願日 平成10年(1998) 7月3日

(31) 優先権主張番号 1 9 9 7 5 1 4 4 9

(32) 優先日 1997年10月7日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 鎮宇

大韓民国京畿道水原市勤善区細柳洞546-19番地グリムビラーナ棟101號

(72) 発明者 黄 有商

大韓民国京畿道龍仁市水枝邑風▲徳▼川里664番地三▲イック▼アパート103棟903號

(72) 発明者 李 美香

大韓民国ソウル特別市陽川区新月1洞135-4番地

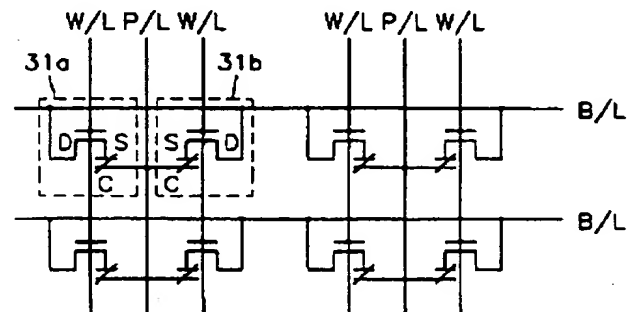
(74) 代理人 弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 強誘電体RAM装置及びその製造方法

(57) 【要約】

【課題】 集積化に有利なFRAM装置及びその製造方法を提供する。

【解決手段】 行及び列方向に配列された複数の単位セルで構成され、前記行方向はワードラインに対応し、前記列方向はビットラインに対応するFRAM装置において、前記単位セルは前記ビットラインに連結されたドレイン領域57bと前記ワードラインに連結されたゲート電極55とを含むトランジスタと、トランジスタのソース領域57aに連結されて上部プレート電極67a、強誘電体膜65a及び下部プレート電極63aよりなる強誘電体キャパシタで構成され、前記単位セルの下部プレート電極63aは、隣接する単位セルの下部プレート電極63aと共有され、単位セル及び隣接する単位セルの下部プレート電極63a・63aは行方向のプレートラインに連結される。



## 【特許請求の範囲】

【請求項1】 行及び列方向に配列された複数の単位セルで構成され、前記行方向はワードラインに対応し、前記列方向はビットラインに対応するFRAM装置において、前記単位セルは前記ビットラインに連結されたドレイン領域と前記ワードラインに連結されたゲート電極とを含むトランジスタと、前記トランジスタのソース領域に連結されて上部プレート電極、強誘電体膜及び下部プレート電極よりなる強誘電体キャパシタで構成され、前記単位セルの下部プレート電極は隣接する単位セルの下部プレート電極と共有され、前記単位セル及び隣接する単位セルの下部プレート電極は行方向のプレートラインに連結されることを特徴とするFRAM装置。

【請求項2】 行及び列方向に配列された複数の単位セルで構成され、前記行方向はワードラインに対応し、前記列方向はビットラインに対応するFRAM装置において、前記単位セルは前記ビットラインに連結されたドレイン領域と前記ワードラインに連結されたゲート電極とを含むトランジスタと、前記トランジスタのソース領域に連結され、上部プレート電極、強誘電体膜及び下部プレート電極よりなる強誘電体キャパシタで構成され、前記単位セルの下部プレート電極は隣接する単位セルの下部プレート電極と共有され、前記単位セル及び隣接した単位セルの下部プレート電極はプレートラインの役割をすることを特徴とするFRAM装置。

【請求項3】 一つのトランジスタと一つの強誘電体キャパシタとで構成された単位セルと前記単位セルと構成が同一で隣接した他の単位セルが列及び行方向に複数個配列されたFRAM装置において、前記単位セルは、半導体基板の活性領域上に形成され、ゲート電極、ソース領域及びドレイン領域で構成されたトランジスタと、前記トランジスタの形成された半導体基板の全面に形成された第1層間絶縁膜と、前記第1層間絶縁膜上に形成され、単位セルと隣接した第2の単位セルを共有し、プレートラインと連結された強誘電体キャパシタの下部プレート電極と、前記下部プレート電極上に前記下部プレート電極より幅が狭く形成された強誘電体膜パターンと、前記強誘電体膜パターン上に形成された強誘電体キャパシタの上部プレート電極と、前記上部プレート電極、強誘電体膜パターン及び下部プレート電極を覆うキャッピング層と、前記ソース領域と上部プレート電極とを連結する配線層を含んでなることを特徴とするFRAM装置。

【請求項4】 前記ドレイン領域はビットラインと連結されることを特徴とする請求項3に記載のFRAM装置。

【請求項5】 前記プレートラインは前記下部プレート電極上に形成された金属パッドに連結されることを特徴とする請求項3に記載のFRAM装置。

【請求項6】 前記上部プレート電極及び下部プレート

電極は、金属膜、導電性酸化膜または金属膜-導電性酸化膜-金属膜の多層で構成されることを特徴とする請求項3に記載のFRAM装置。

【請求項7】 前記金属膜はPtで構成し、前記導電性酸化膜は $\text{ReO}_2$ 、 $\text{RuO}_2$ または $\text{MoO}_3$ で構成されることを特徴とする請求項6に記載のFRAM装置。

【請求項8】 前記下部プレート電極の下部に障壁膜パターンがさらに形成されていることを特徴とする請求項3に記載のFRAM装置。

【請求項9】 一つのトランジスタと一つのキャパシタで構成された単位セルと、前記単位セルと構成が同一で隣接した他の単位セルが行及び列方向に複数個配列されたFRAM装置において、前記単位セルは、半導体基板の活性領域上に形成され、ゲート電極、ソース領域及びドレイン領域よりなるトランジスタと、前記トランジスタの形成された半導体基板の全面に形成された第1層間絶縁膜と、前記第1層間絶縁膜上に形成され、単位セルと隣接した第2の単位セルを共有し、プレートラインの役割をする強誘電体キャパシタの下部プレート電極と、前記下部プレート電極上に前記下部プレート電極より幅が狭く形成された強誘電体膜パターンと、前記強誘電体膜パターン上に形成された強誘電体キャパシタの上部プレート電極と、前記上部プレート電極、強誘電体膜パターン及び下部プレート電極を覆うキャッピング層と、前記上部プレート電極とソース領域とを連結する配線層よりなることを特徴とするFRAM装置。

【請求項10】 前記上部プレート電極及び下部プレート電極は金属膜、導電性酸化膜または金属膜-導電性酸化膜-金属膜の多層で構成されることを特徴とする請求項9に記載のFRAM装置。

【請求項11】 前記金属膜はPtで構成し、前記導電性酸化膜は $\text{ReO}_2$ 、 $\text{RuO}_2$ または $\text{MoO}_3$ で構成されることを特徴とする請求項10に記載のFRAM装置。

【請求項12】 前記下部プレート電極の下部に障壁膜パターンがさらに形成されていることを特徴とする請求項9に記載のFRAM装置。

【請求項13】 半導体基板上にゲート電極、ソース及びドレイン領域よりなるトランジスタを形成する段階と、前記トランジスタの形成された半導体基板の全面に第1層間絶縁膜を形成する段階と、前記第1層間絶縁膜上に隣接する単位セルと共有する強誘電体キャパシタの下部プレート電極を形成する段階と、前記下部プレート電極上に前記下部プレート電極より小幅の強誘電体膜パターン及び上部プレート電極を形成する段階と、前記上部プレート電極、強誘電体膜パターン及び下部ブ

プレート電極を覆うキャッピング層を形成する段階と、  
前記キャッピング層の形成された結果物の全面に第2層間絶縁膜を形成する段階と、  
前記第2層間絶縁膜、第1層間絶縁膜及びキャッピング層を蝕刻してドレイン領域、ソース領域、上部プレート電極及び下部プレート電極をオープンする第1コンタクトホールを形成する段階と、  
前記第1コンタクトホールに金属膜を形成して前記ドレイン領域と連結されたビットライン、前記上部プレート電極とソース領域を連結する配線層、前記下部プレート電極と連結された金属パッドを形成する段階と、  
前記配線層及び金属パッドの形成された結果物の全面に前記金属パッドを露出する第2コンタクトホールを有する第3層間絶縁膜を形成する段階と、  
前記金属パッドと連結するプレートラインを形成する段階とを具備してなることを特徴とするFRAM装置の製造方法。

【請求項14】 前記上部プレート電極及び下部プレート電極は金属膜、導電性酸化膜または金属膜-導電性酸化膜-金属膜の多層で形成されることを特徴とする請求項13に記載のFRAM装置の製造方法。

【請求項15】 前記金属膜はPtで構成し、前記導電性酸化膜は $\text{ReO}_2$ 、 $\text{RuO}_2$ または $\text{MoO}_3$ で形成することを特徴とする請求項14に記載のFRAM装置の製造方法。

【請求項16】 前記下部プレート電極を形成する前に前記下部プレート電極の下部に障壁膜パターンをさらに形成することを特徴とする請求項13に記載のFRAM装置の製造方法。

【請求項17】 半導体基板上にゲート電極、ソース及びドレイン領域よりなるトランジスタを形成する段階と、  
前記トランジスタの形成された半導体基板の全面に第1層間絶縁膜を形成する段階と、  
前記第1層間絶縁膜上に隣接する単位セルと共有し、プレートラインの役割をする強誘電体キャパシタの下部プレート電極を形成する段階と、  
前記下部プレート電極上に前記下部プレート電極より小幅の強誘電体膜パターン及び上部プレート電極を形成する段階と、  
前記上部プレート電極、強誘電体膜パターン及び下部プレート電極を覆うキャッピング層を形成する段階と、  
前記キャッピング層の形成された結果物の全面に第2層間絶縁膜を形成する段階と、  
前記第2層間絶縁膜、第1層間絶縁膜及びキャッピング層を蝕刻してドレイン領域、ソース領域及び上部プレート電極をオープンするコンタクトホールを形成する段階と、  
前記コンタクトホールに金属膜を形成して前記ドレイン領域と連結されたビットラインと前記上部プレート電極とソース領域を連結する配線層を形成する段階とを含ん

でなることを特徴とするFRAM装置の製造方法。

【請求項18】 前記上部プレート電極及び下部プレート電極は金属膜、導電性酸化膜または金属膜-導電性酸化膜-金属膜の多層で形成されることを特徴とする請求項17に記載のFRAM装置の製造方法。

【請求項19】 前記金属膜はPtで構成し、前記導電性酸化膜は $\text{ReO}_2$ 、 $\text{RuO}_2$ または $\text{MoO}_3$ で形成することを特徴とする請求項18に記載のFRAM装置の製造方法。

【請求項20】 前記下部プレート電極を形成する前に前記下部プレート電極の下部に障壁膜パターンをさらに形成することを特徴とする請求項17に記載のFRAM装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係り、特に集積化に有利な強誘電体RAM(Ferroelectric RAM: FRAM)装置及びその製造方法に関する。

【0002】

【従来の技術】 最近、薄膜形成技術の進歩に応じて強誘電体膜を使用する強誘電体メモリ装置に対する研究が活発になっている。強誘電体メモリ装置は強誘電物質の自発分極現象(Spontaneous Polarization Phenomenon)を用いるものであって、EPROMまたはEEPROMに比べて読出/書込動作が速い長所を有している。特に、このような強誘電体メモリ装置はRAMのように単一電源電圧で読出及び書込動作が行えるので、強誘電体RAM(FRAM)装置と称される。

【0003】 前記FRAM装置は単位セルの構成要素に応じて2種に分類しうる。その1つは、単位セルが強誘電体膜をゲート絶縁膜として使用する一つのトランジスタで構成されたものであり、他の1つは、単位セルが一つのアクセストランジスタ及び強誘電体膜を誘電膜として使用する一つのセルキャパシタで構成されたものである。ここで、前者のFRAM装置はチャンネル領域のシリコン基板とゲート絶縁膜の強誘電体膜との間の界面にシリコン基板と酸素原子とが反応してシリコン酸化膜を形成しやすい問題点と、シリコン基板及び強誘電体膜の間の格子定数(lattice constant)の差または熱膨張係数の差によって優秀な膜質の強誘電体膜を形成しにくい問題点がある。従って、最近には後者のFRAM装置、即ちDRAMセル構造と同一な構造を有しながらセルキャパシタの誘電膜として強誘電体膜を使用するFRAM装置に対する研究が活発になっている。

【0004】 図1は従来の技術によるFRAM装置の単位セルに対する回路図である。具体的に、FRAM装置の単位セルにおいてトランジスタのゲート電極GはワードラインW/Lに連結され、ドレイン領域DはビットラインB/Lに連結され、ソース領域Sは強誘電体キャパシタCの1つの電極に連結される。強誘電体キャパシタCの他の電極はプレートラインP/Lに連結される。

【0005】図2は従来の技術によるFRAM装置の単位セルに対する断面図である。具体的に、従来のFRAM装置の単位セルはP型半導体基板1の所定領域に形成されて活性領域及び非活性領域(フィールド領域)を限定するフィールド酸化膜3を含む。前記活性領域の所定領域の上部にゲート酸化膜5により離隔されて形成されたゲート電極7が形成されている。前記ゲート電極7の両側の活性領域にN型の不純物でドーピングされたソース領域9及びドレイン領域11が形成されている。前記ソース領域9の所定領域及び前記ドレイン領域11の所定領域を露出させて前記ゲート電極7及び前記フィールド酸化膜3を覆う第1層間絶縁膜13が形成されている。

【0006】前記ソース領域9と隣接したフィールド酸化膜6上の第1層間絶縁膜13の所定領域上にPtよりなる下部プレート電極15が形成されている。前記下部プレート電極15上にPZT( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )よりなる強誘電体膜17が形成されている。前記強誘電体膜17の所定領域を露出させながら第1層間絶縁膜13上に第2層間絶縁膜19が形成されている。前記第1層間絶縁膜13及び第2層間絶縁膜19により露出されたソース領域9と前記第2層間絶縁膜19により露出された強誘電体膜17を相互連結させる金属膜よりなる上部プレート電極21が形成されている。前記露出されたドレイン領域11を覆うビットライン23が形成されている。前記第1及び第2層間絶縁膜13、19としてBPSG(borophosphosilicate glass)膜が広く用いられる。

【0007】そして、前記ゲート電極7、ドレイン領域11、及びソース領域9はアクセストランジスタを構成し、前記下部プレート電極15、強誘電体膜17、及び上部プレート電極21はキャパシタCを構成する。一方、前記下部電極15は図1のプレートラインP/Lの役割をし、前記ゲート電極7は図1のワードラインW/Lの役割をする。

【0008】

【発明が解決しようとする課題】図1及び図2に示したような従来のFRAM装置は単位セル当り一本のプレートラインP/Lを具備しているために集積化に不利な短所がある。従って、本発明の技術的課題は高集積化に有利なFRAM装置を提供するにある。また、本発明の他の技術的課題は前記FRAM装置の製造に適合した製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記技術的課題を達成するための本発明のFRAM装置は、行及び列方向に配列された複数の単位セルで構成され、前記行方向はワードラインに対応し、前記列方向はビットラインに対応する。前記単位セルは前記ビットラインに連結されたドレイン領域と前記ワードラインに連結されたゲート電極とを含むトランジスタと、前記トランジスタのソース領域に連結され、上部プレート電極、強誘電体膜及び下部プレート電極よりなる強誘電体キャパシタで構成される。

【0010】特に、前記単位セルの下部プレート電極は

隣接した単位セルの下部プレート電極と共有され、前記単位セル及び隣接した単位セルの下部プレート電極は行方向のプレートラインに連結したり、前記下部プレート電極そのものをプレートラインとして用いる。

【0011】また、本発明のFRAM装置は一つのトランジスタと一つの強誘電体キャパシタで構成された単位セルと、前記単位セルと構成が同一で隣接した他の単位セルが列及び行方向に複数個配列される。前記単位セルは半導体基板の活性領域上に形成されてゲート電極、ソース領域及びドレイン領域よりなるトランジスタと、前記トランジスタの形成された半導体基板の全面に形成された第1層間絶縁膜を含む。そして、前記第1層間絶縁膜上に形成されて単位セルと隣接した第2の単位セルを共有する強誘電体キャパシタの下部プレート電極と、前記下部プレート電極上に前記下部プレート電極より小幅に形成された強誘電体膜パターンと、前記強誘電体膜パターン上に形成された強誘電体キャパシタの上部プレート電極を含む。

【0012】そして、前記上部プレート電極、強誘電体膜パターン及び下部プレート電極を覆うキャッピング層と、前記ソース領域と上部プレート電極を連結する配線層とを含む。前記下部プレート電極はプレートラインと連結されたり、下部プレート電極そのものでプレートラインの役割をすることになる。前記他の技術的課題を達成するための本発明のFRAM装置の製造方法は、半導体基板上にゲート電極、ソース及びドレイン領域よりなるトランジスタを形成する段階と、前記トランジスタの形成された半導体基板の全面に第1層間絶縁膜を形成する段階とを含む。そして、前記第1層間絶縁膜上に隣接した単位セルと共有する強誘電体キャパシタの下部プレート電極を形成した後、前記下部プレート電極上に前記下部プレート電極より小幅の強誘電体膜パターン及び上部プレート電極を形成する。前記上部プレート電極、強誘電体膜パターン及び下部プレート電極を覆うキャッピング層を形成する。

【0013】前記キャッピング層の形成された結果物の全面に第2層間絶縁膜を形成する。前記第2層間絶縁膜、第1層間絶縁膜及びキャッピング層を蝕刻してドレイン領域、ソース領域、上部プレート電極及び下部プレート電極をオープンする第1コンタクトホールを形成する。前記第1コンタクトホールに金属膜を形成して前記ドレイン領域と連結されたビットラインと、前記上部プレート電極とソース領域を連結する配線層と、前記下部プレート電極と連結された金属パッドを形成する。前記金属パッドをオープンする第2コンタクトホールを有する第3層間絶縁膜を形成する。前記第2コンタクトホールに金属膜を形成して前記金属パッドと連結されるプレートラインを形成する。

【0014】

【発明の実施の形態】以下、添付された図面に基づき本

発明を詳しく説明する。図3は本発明によるFRAM装置の回路図である。図3を参照すれば、本発明のFRAM装置は一つの強誘電体キャパシタCと一つのトランジスタよりなる複数の単位セル31a、31bが行及び列方向に連結されて構成される。具体的には、単位セルにおいて前記強誘電体キャパシタCの上部プレート電極はトランジスタのソースSに連結され、前記トランジスタのゲート電極はワードラインW/Lに連結され、前記トランジスタのドレイン領域DはビットラインB/Lに連結される。

【0015】特に、本発明のFRAM装置は一つの単位セル31aと隣接した単位セル31bの下部プレート電極が共有されており、プレートラインP/Lに連結されている。これにより、本発明のFRAM装置は従来の強誘電体FRAM装置に比べて高集積化に有利である。図3において、前記共有された下部プレート電極がプレートラインに連結されているが、前記共有された下部プレート電極がプレートラインの役割をする事も出来る。

【0016】図4は本発明の一実施の形態として示したFRAM装置のレイアウト図である。図4を参照すれば、本発明のFRAM装置は半導体基板に活性領域41と、前記活性領域41を垂直に貫きながら相互平行に配置された一対のワードラインW/Lと、前記一対のワードラインW/Lにより分割された3つの活性領域41のうち一対のワードラインW/Lの間の活性領域41に形成されたドレイン領域Dと、前記ドレイン領域Dに隣接する活性領域41に形成された1対のソース領域Sと、前記ドレイン領域Dに連結されて前記ワードラインW/Lと直交する方向に配置されたビットラインB/Lを含む。ここで、前記ワードラインW/Lはゲート電極の役割をし、前記ドレイン領域D及びソース領域Dは不純物でドーピングされる。そして、ワードラインW/L、1対のソース領域S、及び前記ドレイン領域Dは直列に連結された二つのトランジスタを構成し、前記二つのトランジスタは前記ドレイン領域Dを共有する。

【0017】引続き、本発明のFRAM装置はソース領域Sと隣接した非活性領域上に形成された下部プレート電極43aと、前記下部プレート電極43a上に形成された強誘電体膜(図示せず)と、前記強誘電体膜上に形成されて前記ソース領域Sと配線層44とで連結される上部プレート電極45よりなる強誘電体キャパシタを含む。特に、図4に示した本発明の強誘電体メモリ装置は切断線で示したように強誘電体キャパシタとトランジスタで構成された一つの単位セル47aと隣接した単位セル47bの下部プレート電極43aが共有されており、前記下部プレート電極43aはプレートラインP/Lにより連結されている。これにより、本発明のFRAM装置は従来の強誘電体FRAM装置に比べて高集積化に有利である。

【0018】図5は図4のV-V線に沿ったによるFRAM装置の断面図である。図5を参照すれば、本発明のFRAM装置はP型半導体基板51にフィールド酸化膜53により限定された活性領域上に形成されたゲート電極55と、前記ゲ-

ト電極と隣接した半導体基板にN型の不純物をドーピングさせて形成されたソース領域57a及びドレイン領域57bを含む。ここで、前記ゲート電極55はワードラインの役割をし、前記ソース領域57a、ドレイン領域57b及びゲート電極55でトランジスタを構成する。

【0019】引続き、本発明によるFRAM装置はトランジスタ及び前記フィールド酸化膜53上に前記ドレイン領域57b及び前記ソース領域57aが露出されるように形成された第1層間絶縁膜59と、前記ソース領域57aと隣接した第1層間絶縁膜59の所定領域上に後に形成される下部プレート電極と接着力の向上のために形成された障壁膜パターン61aを含む。また、本発明は前記障壁膜パターン61a上に形成された下部プレート電極63aと、前記下部プレート電極63a上に前記障壁膜パターン61a及び下部プレート電極63aより小幅に形成された強誘電体膜パターン65a及び上部プレート電極67aを含む。

【0020】ここで、前記下部プレート電極63a、強誘電体膜パターン65a、及び上部プレート電極67aは強誘電体キャパシタを構成する。前記上部プレート電極67a及び下部プレート電極63aは金属膜、導電性酸化膜または金属膜-導電性酸化膜-金属膜の多層で構成しうる。前記金属膜はPtで構成し、前記導電性酸化膜は $\text{ReO}_2$  (rhenium oxide)、 $\text{RuO}_2$  (ruthenium oxide)または $\text{MoO}_3$  (molybdenum oxide)で構成する。

【0021】引続き、本発明によるFRAM装置は前記障壁膜パターン61a、下部プレート電極63a、強誘電体膜パターン65a及び上部プレート電極67aを覆いながら前記上部プレート電極67a及び下部プレート電極63aの所定領域を露出するキャッピング膜69を含む。また、本発明は前記キャッピング膜69及び第1層間絶縁膜59上に前記ソース領域57a、ドレイン領域57b、下部プレート電極63a及び上部プレート電極67aの所定領域を露出する第2層間絶縁膜71と、前記露出されたソース領域57a及び上部プレート電極67aに形成されて前記ソース領域57aと前記上部プレート電極67aを接続する配線層73と、前記露出された下部プレート電極63aに形成された金属パッド75と、前記露出されたドレイン領域57bに接続するビットライン77を含む。また、本発明は前記配線層73、ビットライン77及び金属パッド75上に形成されて前記金属パッド75を露出する第3層間絶縁膜79と、前記露出された金属パッド75に形成されて前記下部プレート電極63aと連結されるプレートライン81を含む。

【0022】従って、本発明のFRAM装置は図5で説明したように強誘電体キャパシタの下部プレート電極63aが隣接するセルと共有されている。これにより、本発明のFRAM装置は集積化に有利である。図6は本発明の他の実施の形態として示したFRAM装置のレイアウト図である。図6において、図4と同一の符号は同一の部材を示す。

【0023】図6を参照すれば、図6は下部プレート電極43bのレイアウトが異なることを除いては図4と同一であ

る。具体的に、図4は共有された下部プレート電極43aがプレートラインP/Lで連結されているに反し、図6は共有された下部プレート電極43bがプレートラインP/Lで連結されておらず、自体的に連結されていてプレートラインの役割をする。

【0024】図7は図6のVII-VII線に沿ったFRAM装置の断面図である。図7において、図5と同じ部材番号は同じ部材を示す。図7を参照すれば、図7は金属パッド45及びプレートライン81が異なることを除いては図5と同一である。具体的に、図5は共有された下部プレート電極63aが金属パッド75を通してプレートライン81と連結されているに反し、図7は共有された下部プレート電極63bが金属パッドを通してプレートラインと連結されておらず、自体的に連結されていてプレートラインの役割をする。

【0025】図6及び図7に示した本発明のFRAM装置は強誘電体キャパシタの下部プレート電極が隣接する単位セルと共有されており、下部プレート電極そのものがプレートラインの役割をするので集積化にさらに有利である。図8から図13までは、図5に示した本発明によるFRAM装置の製造方法を説明するために示す断面図である。

【0026】図8を参照すれば、通常のCMOS形成工程を用いてフィールド酸化膜53により活性領域と非活性領域とが限定された半導体基板51上にワードラインの役割をするゲート電極55を形成し、N型のソース領域57a及びドレイン領域57bを形成する。

【0027】次いで、前記結果物の全面にCVD法によりBPSG等よりなる酸化膜を蒸着、リフローして第1層間絶縁膜59を形成する。その後、前記第1層間絶縁膜59上に障壁膜61、強誘電体キャパシタの下部プレート電極を形成するための第1導電層63、強誘電体膜65及び強誘電体キャパシタの上部プレート電極を形成するための第2導電層67を順次に形成する。

【0028】前記障壁膜61は後に形成される前記第1導電層63と第1層間絶縁膜59との接着力を強化させるために形成するものであって、場合によって省ける。本実施の形態において、前記障壁膜は $TiO_2$ 膜で形成する。また、前記第1導電層63及び第2導電層67は金属膜、導電性酸化膜または金属膜-導電性酸化膜-金属膜の多層で形成する。本実施例において前記金属膜はPtを用いて、前記導電性酸化膜は $ReO_2$ 、 $RuO_2$ または $MoO_3$ を用いる。

【0029】前記第1導電層63及び第2導電層67を金属-導電性酸化膜-金属の多層で形成する場合、熱処理時酸素の揮発による圧縮応力の発生で金属、例えばPt膜の熱膨張を抑制しうる。こうなると、強誘電体膜にストレスを発生させなく、信頼性のあるFRAM装置を製造しうる。

【0030】また、本実施の形態において前記強誘電体膜65はゾルゲル(Sol-Gel)法、スパッタリング法またはCVD法により蒸着されたPZT( $PbZr_xTi_{1-x}O_3$ )膜またはPLZT(LaでドーピングされたPZT)膜で形成してもよい。

【0031】図9に基づいて前記第2導電層67及び強誘電

体膜65をパタニングして上部プレート電極67a及び強誘電体膜パターン65aを形成する。次いで、前記第1導電層63を前記上部プレート電極67a及び強誘電体膜パターン65aより幅を大きくパタニングして下部プレート電極63aを形成する。次いで、前記障壁膜61をパタニングして前記下部プレート電極63aの下部に障壁膜パターン61aを形成する。

【0032】図10を参照すれば、前記結果物の全面にTiO<sub>2</sub>膜のような酸化膜を形成した後、パタニングして前記上部プレート電極67a、誘電体膜パターン65a、下部プレート電極63a及び障壁膜パターン61aを取囲むキャップピング膜69を形成する。引続き、前記キャップピング膜69の形成された結果物の全面にCVDによってBPSG等よりなる酸化膜を蒸着、リフローして第2層間絶縁膜71を形成する。図11を参照すれば、前記第2層間絶縁膜71、第1層間絶縁膜59及びキャップピング膜69を蝕刻して前記ソース領域57a、ドレイン領域57b、上部プレート電極67a及び下部プレート電極63aを露出する第1コンタクトホール72を形成する。

【0033】図12を参照すれば、前記第1コンタクトホール72の形成された結果物の全面に金属膜を形成した後、パタニングして前記ドレイン領域57bに接続するビットライン77、前記ソース領域57a及び上部プレート電極67aに接続され、前記ソース領域57aと上部プレート電極67aとを連結する配線層73、前記下部プレート電極63aに接続する金属パッド75を形成する。

【0034】図13を参照すれば、前記ビットライン77、配線層73及び金属パッド75の形成された結果物の全面に前記金属パッド75を露出する第2コンタクトホール78を有する第3層間絶縁膜79を形成する。前記第3層間絶縁膜79はCVDによりBPSG等よりなる酸化膜を蒸着、リフローして形成される。次いで、図5に示したように前記金属パッド75に接続するプレートライン81を形成することによりFRAM装置を完成する。

【0035】本実施の形態では、前記金属パッド75にプレートライン81を形成して接続したが、前記金属パッド75を形成しなく、直接プレートライン81で前記下部プレート電極63aと連結することもできる。図14は図7に示した本発明によるFRAM装置の製造方法を説明するために示す断面図である。図14において、図8から図13までと同じ符号は同じ部材を示す。

【0036】まず、図8から図10までの段階を行う。引続き、図14に示したように前記第2層間絶縁膜71、第1層間絶縁膜59及びキャップピング膜69を蝕刻して前記ソース領域57a、ドレイン領域57b、上部プレート電極67aを露出するコンタクトホール92を形成する。

【0037】次いで、図7に示したように前記コンタクトホール92の形成された結果物の全面に金属膜を形成した後、パタニングして前記ドレイン領域57bに接続するビットライン77、前記ソース領域57a及び上部プレート



電極67aに接続され、前記ソース領域57aと上部プレート電極67aとを連結する配線層73を形成することによりFRAM装置を完成する。ここで、前記下部プレート電極63bそのものがプレートラインの役割をする。

【0038】以上、本発明を具体的に説明したが、本発明はこれに限定されず、本発明の技術的思想内で当業者によりその変形や改良が可能である。

【0039】

【発明の効果】 前述したように本発明のFRAM装置は強誘電体キャパシタの下部プレート電極が隣接するセルと共有されており、これをプレートラインで連結したり、前記下部プレート電極そのものをプレートラインとして用いるために集積化に有利である。

【図面の簡単な説明】

【図1】 従来のFRAM装置の単位セルに対する回路図である。

【図2】 従来のFRAM装置の単位セルに対する断面図である。

【図3】 本発明の一実施の形態として示したFRAM装置の回路図である。

【図4】 本発明の一実施の形態として示したFRAM装置のレイアウト図である。

【図5】 図4のV-V線に沿ったFRAM装置の断面図である。

【図6】 本発明の他の実施の形態として示したFRAM装置のレイアウト図である。

【図7】 図6のVII-VII線に沿ったFRAM装置の断面図で

ある。

【図8】 図5に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

【図9】 図5に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

【図10】 図5に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

【図11】 図5に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

10 【図12】 図5に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

【図13】 図5に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

【図14】 図7に示した本発明によるFRAM装置の製造方法を説明するために示した断面図である。

【符号の説明】

51...P型半導体基板

53...フィールド酸化膜

55...ゲート電極

20 57a...ソース領域

57b...ドレイン領域

59...第1層間絶縁膜

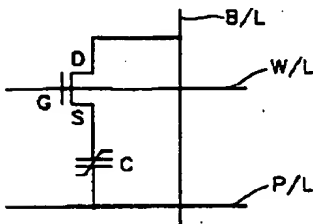
61a...障壁膜パターン

63a...下部プレート電極

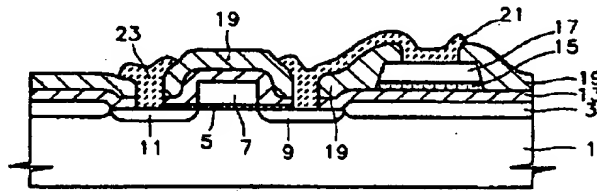
65a...強誘電体膜パターン

67a...上部プレート電極

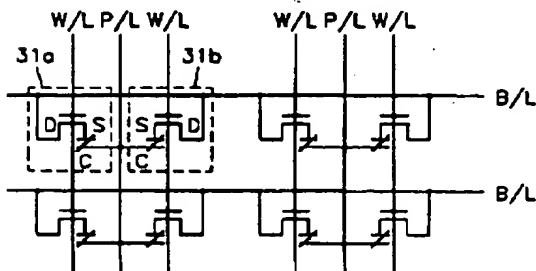
【図1】



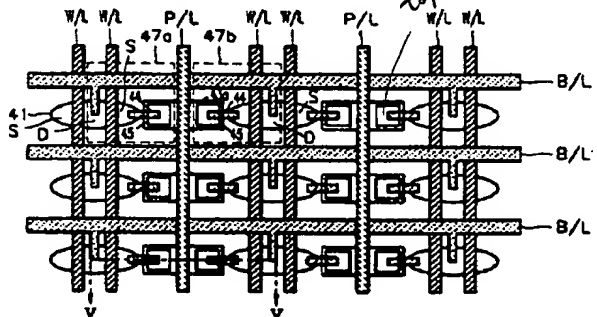
【図2】



【図3】

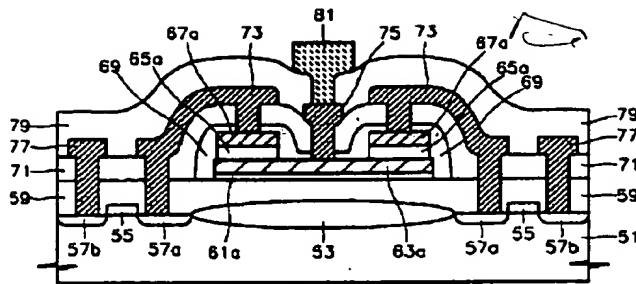


【図4】

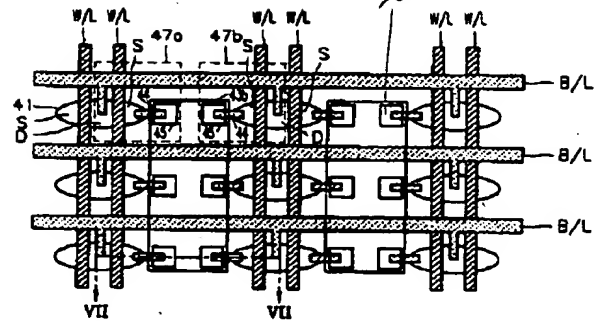




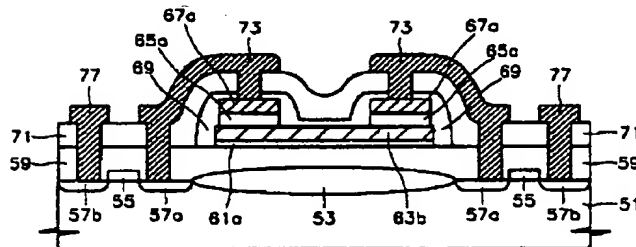
【図5】



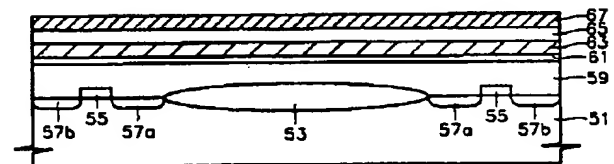
【図6】



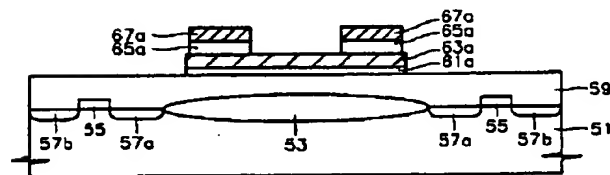
【図7】



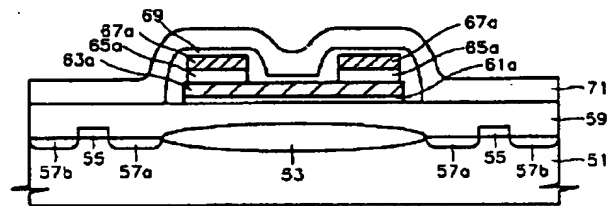
【図8】



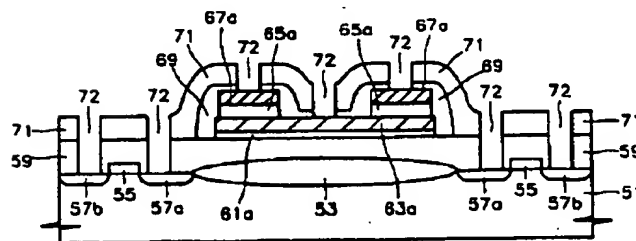
【図9】



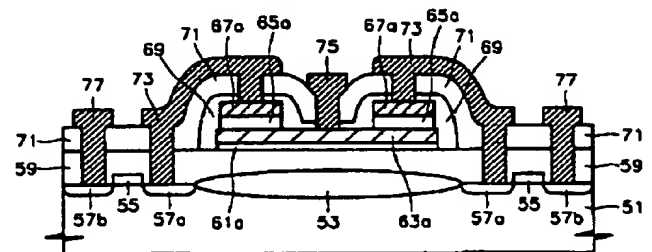
【図10】



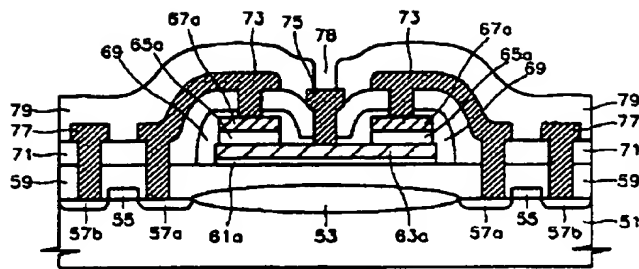
【図11】



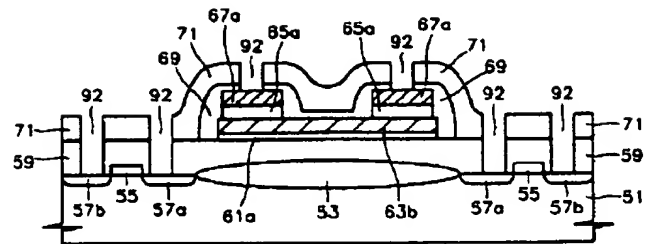
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/8242

識別記号

F I